

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3073352号  
(P3073352)

(45)発行日 平成12年8月7日(2000.8.7)

(24)登録日 平成12年6月2日(2000.6.2)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

H 0 1 L 21/8247  
27/115  
29/788  
29/792

H 0 1 L 29/78  
27/10

3 7 1  
4 3 4

請求項の数2(全 5 頁)

(21)出願番号 特願平5-12805  
(22)出願日 平成5年1月28日(1993.1.28)  
(65)公開番号 特開平5-275714  
(43)公開日 平成5年10月22日(1993.10.22)  
審査請求日 平成9年2月7日(1997.2.7)  
(31)優先権主張番号 特願平4-16787  
(32)優先日 平成4年1月31日(1992.1.31)  
(33)優先権主張国 日本 (J P)

(73)特許権者 000005049  
シャープ株式会社  
大阪府大阪市阿倍野区長池町22番22号  
(72)発明者 山内 祥光  
大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内  
(72)発明者 田中 研一  
大阪府大阪市阿倍野区長池町22番22号  
シャープ株式会社内  
(74)代理人 100065248  
弁理士 野河 信太郎

審査官 今井 拓也

最終頁に続く

(54)【発明の名称】 不揮発性メモリ及びその書き込み方法

1

(57)【特許請求の範囲】

【請求項1】 半導体基板上に形成される第1電極と、その第1電極の側壁に絶縁膜を介して形成されるフローティングゲートと、絶縁膜を介して少なくともフローティングゲート上に配設され、それによってフローティングゲートの電位を制御しうる第2電極とからなるメモリセルを備え、  
該メモリセルがX方向とY方向とにマトリックス状に配列され、

1対の第1の不純物拡散層と第2の不純物拡散層が上記マトリックス状のX方向に配列した少なくとも2つ以上のメモリセルからなるメモリセル群のそれぞれに共有されて形成されており、さらに第2電極が前記メモリセル群の各メモリセルに共通接続されていることを特徴とする不揮発性メモリ。

2

【請求項2】 請求項1記載の不揮発性メモリの書き込みを行うメモリセルの第1電極にのみ、しきい値電圧に近似の電圧を印加し、その書き込みを行うメモリセルを含むメモリセル群内の他のメモリセルの第1電極にしきい値電圧よりも十分に高い電圧を印加することにより、所望のメモリセルに書き込みを行うことを特徴とする不揮発性メモリの書き込み方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は高集積化可能な不揮発性メモリとその書き込み方法に関し、更に詳しくは、半導体基板上に、絶縁膜を介して形成される第1電極としての補助ゲート(AUXILIARY GATE:以下AGという)と、AGの側壁に絶縁膜を介して形成されるフローティングゲート(以下FGという)と、絶縁膜を介して少な

3

くともFG上に配設される第2電極としてのコントロールゲート（以下CGという）を有するメモリセルが複数個、X方向、Y方向にマトリックス状に配列されたメモリセル群を備え、X方向に形成されるメモリセル群において、隣接する各メモリセルがソースとドレインとを共有する大容量化に適したスタック型のフラッシュ・EEPROMである不揮発性メモリとその書き込み方法に関するものである。

【0002】

【従来の技術及び発明が解決しようとする課題】不揮発性メモリのメモリセルとしては、例えば、図5、図6に示すように、ソース41とドレイン42とを有するSi基板43上に、ゲート絶縁膜44を介して補助ゲートAG45が形成されたものがある。この補助ゲートAG45の側壁には絶縁膜49を介してフローティングゲートFG46が形成されている。また、絶縁膜47を介して、フローティングゲートFG46及び補助ゲートAG45上にコントロールゲートCG48が配設されている。そして、このメモリセル40が複数個、X方向、Y方向にマトリックス状に配列されている。このように配列されたメモリセル群においては、当然のことながら各メモリセルは個別にソース41とドレイン42とを有していた。

【0003】このメモリセル40の書き込み特性を図7に示す。図7において、縦軸は書き込み（プログラム）後のフローティングゲートFG46のしきい値電圧 $V_t$ （ボルト）を示し、横軸は補助ゲート電圧 $V_{AG}$ （ボルト）を示す。また、 $V_d$ はドレイン電圧を、 $V_{CG}$ はコントロールゲートへの印加電圧をそれぞれ示す。図6は図5のメモリセルの等価回路図である。フローティングゲートFGへ注入される電子の数はチャネル方向の電界の強さに依存する。補助ゲートAGへの印加電圧を上げていくと、チャネル電流は指数関数的に増加するが、補助ゲートAGのしきい値電圧以上では飽和してくる。一方、電界は $V_{AG}$ を上げていくほど低下する。従って、補助ゲートAGへしきい値電圧程度を印加した場合が最も書き込み効率が良くなる。

【0004】この発明は、メモリセル群の面積を縮小できるメモリセルを有する不揮発性メモリ及びメモリセルの面積を縮小しても上記書き込み特性を利用して書き込み可能な不揮発性メモリの書き込み方法を提供するものである。

【0005】

【課題を解決するための手段及び作用】この発明によれば、半導体基板上に形成される第1電極と、その第1電極の側壁に絶縁膜を介して形成されるフローティングゲートと、絶縁膜を介して少なくともフローティングゲート上に配設され、それによってフローティングゲートの電位を制御する第2電極とからなるメモリセルを備え、該メモリセルがX方向とY方向とにマトリックス状

4

に配列され、1対の第1の不純物拡散層と第2の不純物拡散層が上記マトリックス状のX方向に配列した少なくとも2つ以上のメモリセルからなるメモリセル群のそれぞれに共有されて形成されており、さらに第2電極が前記メモリセル群の各メモリセルに共通接続されている不揮発性メモリが提供される。

【0006】また、上記の不揮発性メモリの書き込みを行うメモリセルの第1電極にのみ、しきい値電圧に近似の電圧を印加し、その書き込みを行うメモリセルを含むメモリセル群内の他のメモリセルの第1電極にしきい値電圧よりも十分に高い電圧を印加することにより、所望のメモリセルに書き込みを行う不揮発性メモリの書き込み方法が提供される。

【0007】この発明の不揮発性メモリは、例えば、図2に示したように、メモリセルC1、メモリセルC2、メモリセルC3及びメモリセルC4からなるメモリセル群を有しており、各メモリセルが図5で示すような、上記の書き込み特性を持っている。並列する各メモリセルからなるメモリセル群の両端には、1対の第1の不純物拡散層21と第2の不純物拡散層22とが形成されている。

【0008】すなわち、このメモリセル群を構成する複数のメモリセルが第2の不純物拡散層と第1の不純物拡散層とを共有し、個々のメモリセルに個別に第1不純物拡散層と第2の不純物拡散層とをもたないことから、メモリセルの面積をより縮小することができる。そして、書き込み時には、第2の不純物拡散層、第1の不純物拡散層の電位を、メモリセル群の両端に位置する拡散層のみに与えるものである。例えば、X方向に結線されるメモリセル群が図2及び図3に示すように、4つのメモリセルC1、C2、C3、C4からなっている場合、書き込み用の電位をメモリセル群の第1の不純物拡散層21と第2の不純物拡散層22のみに与えることで、任意のメモリセルへの書き込みを実現するようにしたものである。このため、本発明の不揮発性メモリにおいては、図5及び図6に示したような1つのメモリセル40が1つのトランジスタから形成されている場合に比べて、上記1つのメモリセルの1/8の面積で1つのトランジスタへの書き込みが可能である。しかも個々のメモリセルの書き込みが可能である。

【0009】

【実施例】以下この発明の不揮発性メモリの実施例について説明する。なお、これによってその発明は限定されるものではない。図1～図3に示したように、不揮発性メモリは、半導体基板23上にSiO<sub>2</sub>膜（絶縁膜）20を介して補助ゲートAG（第1電極）24が形成され、この補助ゲートAG24の側壁にSiO<sub>2</sub>膜（絶縁膜）25を介してフローティングゲートFG26aが形成されている。また、補助ゲートAG24とフローティングゲートFG26a上に、SiO<sub>2</sub>膜（絶縁膜）27

5

を介してコントロールゲート（第2電極）CG28が配設されて1メモリセルを構成している。そして、このようなメモリセルがX方向にn個備えられ、メモリセル群R<sub>1</sub>, R<sub>2</sub>, ..., R<sub>n</sub>を構成している。また、1つのメモリセル群を構成するメモリセルに配設されているコントロールゲートCG28は、それぞれ互いに連続的に形成されており、各メモリセル群には一対のソース（第1の不純物拡散層）21とドレイン（第2の不純物拡散層）22が形成されている。さらに、これらメモリセル群がY軸方向にも順次配列してマトリックス状に配設されている。

【0010】図2に示したように、1つのメモリセル群R<sub>1</sub>が4つのメモリセルC1, C2, C3, C4で構成されている場合について説明すると、メモリセル群を構成する各メモリセルにはソース・ドレインがそれぞれ形成されておらず、1メモリセル群に一対のソース21とドレイン22が形成されている。これにより、メモリセル群の\*

6

\*面積を縮小化することができる。

【0011】以下、本発明の不揮発性メモリの書き込み方法について説明する。4つのメモリセルC1, C2, C3, C4はそれぞれ図7に示されるような書き込み特性を有する。これを利用して1つのCG28下でX方向に並設したn個のメモリセルC1, C2, C3, C4, ..., C<sub>n</sub>の両端部にのみソース、ドレイン電圧を与えるとともに、書き込みを行いたいメモリセルのAGのみに2ボルトの電圧を与え、それ以外は6ボルト以上の電圧を与えておく。

【0012】例えば、表1に示すように、メモリセルC1のAGへ2ボルトの電圧を与え、C2, C3, C4のAGへはそれぞれ6ボルト、CGには12ボルト、ドレインには5ボルトの電圧を与える。

【0013】

【表1】

（単位：V）

	V <sub>CG1</sub>	V <sub>AG1</sub>	V <sub>AG2</sub>	V <sub>AG3</sub>	V <sub>AG4</sub>	V <sub>d</sub>
C1への書き込み	12	2	6	6	6	5
C2への書き込み	12	6	2	6	6	5
C3への書き込み	12	6	6	2	6	5
C4への書き込み	12	6	6	6	2	5

このように電圧を印加することにより、メモリセルC1に書き込みできる。しかもこの書き込みは、任意のメモリセルのAGにしきい値電圧に近似の電圧を印加することで、個々のメモリセルにおいて可能である。また、別

の実施例を図4に示す。  
【0014】この場合の不揮発性メモリは、半導体基板23上にSiO<sub>2</sub>膜（絶縁膜）20を介して補助ゲートAG（第1電極）24が形成され、この補助ゲートAG24の側壁にSiO<sub>2</sub>膜（絶縁膜）25を介してフローティングゲートFG26が形成されている。また、補助ゲートAG24とフローティングゲートFG26上に、SiO<sub>2</sub>膜（絶縁膜）27を介してコントロールゲート（第2電極）CG28が配設されて1メモリセルを構成している。そして、このようなメモリセルがX方向にn

個備えられ、メモリセル群を構成している。また、1つのメモリセル群を構成するメモリセルに配設されているコントロールゲートCG28は、それぞれ互いに連続的に形成されており、各メモリセル群には一対のソース

（第1の不純物拡散層）21とドレイン（第2の不純物拡散層）22が形成されている。さらに、これらメモリセル群がY軸方向にも順次配列してマトリックス状に配設されている。

【0015】このような不揮発性メモリは、例えば、半導体基板23上にSiO<sub>2</sub>膜20を形成したのち、公知の方法により、補助ゲートAG（第1電極）24を形成する。そして、この補助ゲートAG24の側壁にSiO<sub>2</sub>膜（絶縁膜）25を形成する。その後、補助ゲートAG24と補助ゲートAG24との間に、例えば、補助ゲ

7

ートAG24と同程度の厚さのポリシリコンを埋め込み、補助ゲートAG24と補助ゲートAG24との間のみポリシリコンを残すように、全面をエッチングすることによって、フローティングゲートFG26を形成することができる。その後は、上記の不揮発性メモリの製造方法と同様の方法で不揮発性メモリを作製することができる。

【0016】

【発明の効果】この発明の不揮発性メモリによれば、半導体基板上に形成される第1電極と、その第1電極の側壁に絶縁膜を介して形成されるフローティングゲートと、絶縁膜を介して少なくともフローティングゲート上に配設され、それによってフローティングゲートの電位を制御する第2電極とからなるメモリセルを備え、該メモリセルがX方向とY方向とにマトリックス状に配列され、1対の第1の不純物拡散層と第2の不純物拡散層が上記マトリックス状のX方向に配列した少なくとも2つ以上のメモリセルからなるメモリセル群のそれぞれに共有されて形成されており、さらに第2電極が前記メモリセル群の各メモリセルに共通接続されているので、メモリセルの面積をより縮小することができる。

【0017】また、上記の不揮発性メモリの書き込みを行うメモリセルの第1電極にのみ、しきい値電圧に近似の電圧を印加し、その書き込みを行うメモリセルを含む\*

8

\*メモリセル群内の他のメモリセルの第1電極にしきい値電圧よりも十分に高い電圧を印加することにより、所望のメモリセルに書き込みを行うことにより、書き込みが個々のメモリセルにおいて可能となる。

【図面の簡単な説明】

【図1】この発明の不揮発性メモリの一実施例の全体構成を示す平面図である。

【図2】図1のII-II線断面図である。

【図3】図2の等価回路図である。

【図4】この発明の別の実施例を示す要部の概略断面図である。

【図5】従来の不揮発性メモリの実施例を示す要部の概略断面図である。

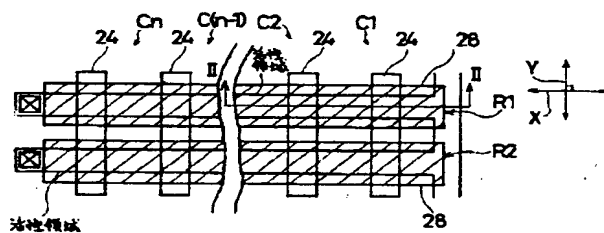
【図6】図5の等価回路図である。

【図7】不揮発性メモリの書き込み後の特性を示す図である。

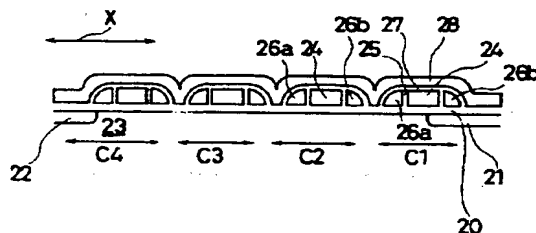
【符号の説明】

- 21 ソース（第1の不純物拡散層）
- 22 ドレイン（第2の不純物拡散層）
- 23 Si基板
- 24 補助ゲート（第1電極）
- 26a, 26b フローティングゲート
- 28 コントロールゲート（第2電極）

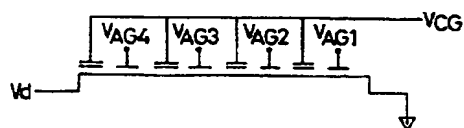
【図1】



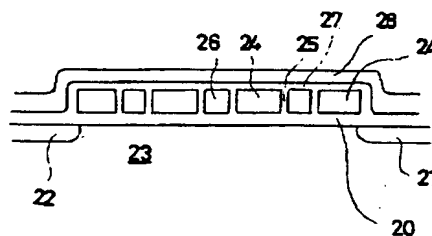
【図2】



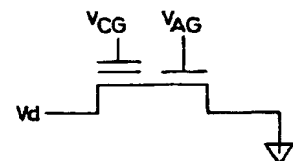
【図3】



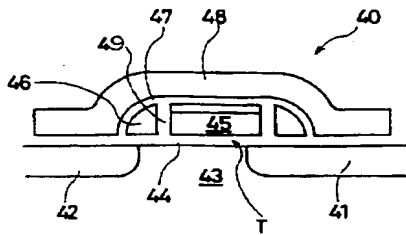
【図4】



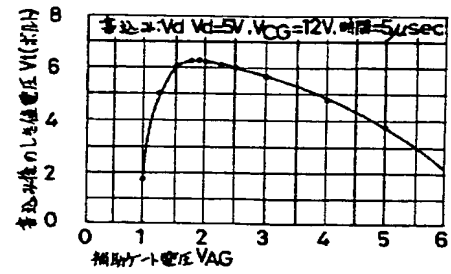
【図6】



【図5】



【図7】



フロントページの続き

- (56) 参考文献 特開 平3-34379 (JP, A)  
 特開 昭63-45864 (JP, A)  
 特開 平1-304784 (JP, A)  
 特開 昭62-136880 (JP, A)

(58) 調査した分野 (Int. Cl. 7, DB名)

H01L 21/8247  
 H01L 27/115  
 H01L 29/788  
 H01L 29/792